

BEST AVAILABLE COPY

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-75164

(43) 公開日 平成10年(1998) 3月17日

(51) IntCl <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H03K 17/16			H03K 17/16	H
H02M 1/06			H02M 1/06	A
	351			351A
3/00			3/00	S
H03K 17/56			H02H 9/04	B
審査請求 未請求 請求項の数2 OL (全6頁) 最終頁に続く				

(21) 出願番号 特願平8-231545

(22) 出願日 平成8年(1996) 9月2日

(71) 出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72) 発明者 市原 昌文

東京都品川区大崎2丁目1番17号 株式会

社明電舎内

(74) 代理人 弁理士 志賀 富士寿 (外1名)

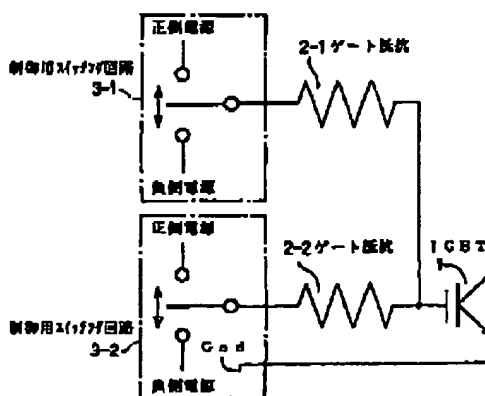
## (54) 【発明の名称】 電圧制御形スイッチング素子のゲート駆動回路

## (57) 【要約】

【課題】 簡単な回路構成で、小損失、低サージ電圧でターンオフできる電圧制御形スイッチング素子のゲート駆動回路を提供すること。

【解決手段】 電力変換器の主回路を構成するIGBT 1のゲート信号供給回路を2回路の2重化構成とする。ゲート信号供給回路は、ターンオン用ゲート電圧とターンオフ用ゲート電圧を切り換える制御用スイッチング回路3-1(3-2)とゲート抵抗2-1(2-2)により構成する。ターンオフに際しては、一方の制御用スイッチング回路3-1のターンオフ動作後、一定時間を経過して他方の制御用スイッチング回路3-2のターンオフ動作を行うようにする。これにより、最もサージ電圧が高くなるターンオフ開始直後のゲート電荷減少速度を遅くし、逆流ダイオードなどがターンオンしてサージ電圧発生要因が減少してからゲート電荷減少速度を速くする。

—実施形態の回路構成—



## BEST AVAILABLE COPY

(2)

特開平10-75164

## 【特許請求の範囲】

【請求項1】 ターンオン用ゲート電圧とターンオフ用ゲート電圧をスイッチング回路及びゲート抵抗を介して電圧制御形スイッチング素子のゲートに選択的に供給するゲート信号供給回路を複数設け、ターンオフに際しては一つをターンオフ初期からの動作、他を所定時間後の動作とするようにしたことを特徴とする電圧制御形スイッチング素子のゲート駆動回路。

【請求項2】 ターンオン用ゲート電圧とターンオフ用ゲート電圧をスイッチング回路及びゲート抵抗を介して電圧制御形スイッチング素子のゲートに選択的に供給する電圧制御形スイッチング素子のゲート駆動回路において、スイッチング回路の共通端子とGndレベルの間に放電路を有するターンオフ初期専用回路を設け、ターンオフに際しては、まずターンオフ初期専用回路のみを動作させ、所定時間後にスイッチング回路のターンオフ動作及びターンオフ初期専用回路のオフ動作を行うようにしたことを特徴とする電圧制御形スイッチング素子のゲート駆動回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電圧制御形スイッチング素子（IGBTなど）のゲート駆動回路、特にターンオフ時のサージ電圧低減技術に関する。

【0002】

【従来の技術】 電圧制御形スイッチング素子、例えばIGBTを用いた電力変換器では、IGBTがターンオフする際に生じるサージ電圧が使用電圧の低下やスイッチング損失の増加などの問題を引き起こす。このサージ電圧を軽減するためには、以下のような対策が取り入れられている。

【0003】 (A) スwitchング速度を遅くする。IGBTのゲート周辺回路を図6に、これに相当するゲート駆動回路を図7にそれぞれ示す。図中、1はIGBT、2はゲート抵抗、3はターンオン・ターンオフ制御用スイッチング回路、4はターンオン用電源（電圧+V<sub>cc</sub>）、5はターンオフ用電源（電圧-V<sub>ee</sub>）である。ターンオン・ターンオフ制御用スイッチング回路3は、例えばトランジスタTR1、TR2を直列に接続し、その接続点にゲート抵抗2を、ベースに+V<sub>cc</sub>接続ドライバDR1、-V<sub>ee</sub>接続ドライバDR2をそれぞれ接続した構成としている。

【0004】 IGBT1のゲートは、駆動するドライバ側から見ると、コンデンサ（図6に示すゲート容量C<sub>g</sub>）として見える。これは、ゲート抵抗2の抵抗値R<sub>g</sub>を小さくすればコンデンサの電荷を素早く出し入れできることを意味する。従って、抵抗値R<sub>g</sub>を小さくすればスイッチング速度が速くなり、逆に、抵抗値R<sub>g</sub>を大きくすればスイッチング速度は遅くなる。即ち、ゲート抵抗2によってIGBT1のスイッチング速度を調整する

ことができる。

【0005】 サージ電圧はIGBT1が急速にターンオフすることによって生じる電圧であるため、ゲート抵抗2を大きくすること、つまりスイッチング速度を遅くすることにより、サージ電圧を低く抑えられる。

【0006】 (B) サージ電圧を吸収するスナバ回路を付加する。サージ電圧はIGBT主回路の浮遊インダクタンス（配線インダクタンス）に蓄えられたエネルギーによって発生する。よって、IGBTにスナバ回路を付設し、このスナバ回路にエネルギーを吸収すれば、サージ電圧を低く抑えることができる。図8、図9に代表的なスナバ回路を示す。

【0007】 図8のスナバ回路21は抵抗R<sub>s</sub>とコンデンサC<sub>s</sub>を直列に接続した構成、図9のスナバ回路22は過渡的な等価抵抗を小さくするために抵抗R<sub>s</sub>と並列にダイオードD<sub>s</sub>を接続した構成であり、IGBT1に並列に接続している。

【0008】

【発明が解決しようとする課題】 上記の対策には次のような問題点がある。

【0009】 (A) の問題点

スイッチング速度を遅くすると、サージ電圧は低下するが、スイッチングに要する時間が長くなる。スイッチング時間の増加は、スイッチング素子（IGBT1）のターンオフ損失の増加につながるため、素子の冷却に問題が移行するが、素子の冷却は特性上必要であり、むやみにスイッチング速度を遅くすることはできない。

【0010】 (B) の問題点

スナバ回路21（または22）を付設した場合は、回路構成が複雑になり、部品点数、工数の増加につながる。また、最近のIGBTのスイッチング速度はかなり高速であるため、図8（図9）に示すスナバ回路21（22）自体の持つ配線インダクタンスL<sub>d</sub>を無視すること（スナバ回路の配線長を短くするのは限界がある）ができず、スナバ回路の効果には限界がある。特に、IGBTの場合は十分な効果が期待できない。

【0011】 本発明は上記事情に鑑みてなされたもので、ゲート信号供給回路を多重化することにより、簡単な回路構成で、小損失、低サージ電圧でターンオフできる電圧制御形スイッチング素子のゲート駆動回路を提供することを目的とする。

【0012】 また本発明は、ゲート信号供給回路の2重化の代わりにターンオフ初期専用回路を追加することにより、比較的簡単な回路構成で、小損失、低サージ電圧でターンオフできる電圧制御形スイッチング素子のゲート駆動回路を提供することを目的とする。

【0013】

【課題を解決するための手段】 本発明は、ターンオン用ゲート電圧とターンオフ用ゲート電圧をスイッチング回路及びゲート抵抗を介して電圧制御形スイッチング素子

## BEST AVAILABLE COPY

(3)

特開平10-75164

のゲートに選択的に供給するゲート信号供給回路を複数設け、ターンオフに際しては一つをターンオフ初期からの動作、他を所定時間後の動作とするようにしたことを特徴とする。

【0014】また本発明は、ターンオン用ゲート電圧とターンオフ用ゲート電圧をスイッチング回路及びゲート抵抗を介して電圧制御形スイッチング素子のゲートに選択的に供給する電圧制御形スイッチング素子のゲート駆動回路において、スイッチング回路の共通端子とGndレベルの間に放電回路を有するターンオフ初期専用回路を設け、ターンオフに際しては、まずターンオフ初期専用回路のみを動作させ、所定時間後にスイッチング回路のターンオフ動作及びターンオフ初期専用回路のオフ動作を行うようにしたことを特徴とする。

【0015】

【発明の実施の形態】図1に本発明の一実施形態を示す。図中、1はIGBT、2-1及び2-2はゲート抵抗、3-1及び3-2はターンオン・ターンオフ制御用スイッチング回路であり、IGBT1のゲート信号供給回路を2回路としている。

【0016】次に、動作について述べる。IGBT1をターンオフさせる場合には、まず、一方のゲート信号供給回路、例えば制御用スイッチング回路3-1側のみを動作させる。つまり、制御用スイッチング回路3-1を負側電源に切り換える。この状態では、他方のゲート信号供給回路（制御用スイッチング回路3-2側）はターンオン状態のままであり、電源電圧を±Vg、ゲート抵抗の値をRgとすると、電圧状態は図2(a)に示すようになる。これをIGBT1から見ると、図2(b)に示す回路と等価になる。即ち、IGBT1のゲートにRg/2の抵抗を介して0(V)が加わる。

【0017】このため、IGBT1のゲートの初期の電荷減少速度は、ゲート信号供給回路が一つ（図8参照）で、ゲート抵抗の値Rgを大きめに設定することによってサージ電圧を低減している場合と同等（電圧半分、抵抗半分）となる。従って、サージ電圧も同等の電圧が生じる。そして、ある程度時間が経過してから（過渡ゲイオードなどがターンオンしてサージ電圧発生要因が減少してから）他方の制御用スイッチング回路3-2もターンオフ駆動の動作をする。両ゲート信号供給回路でターンオフ駆動をするようになると、電荷減少速度は速くなり、スイッチング速度は図8の場合よりも高速度になる。これにより、同等のサージ電圧でスイッチング速度を高速度化できる。

【0018】なお、上記実施形態ではゲート信号供給回路を2回路（2重）としたが、3回路以上に多重化することもできる。その場合、回路数やゲート抵抗の値を適宜選定すれば、きめ細かいターンオフ時のゲート電荷減少速度調節が可能となり、より効果的な（低スイッチング損失、低サージ電圧の）スイッチング動作が期待でき

る。

【0019】図3に本発明の他の実施形態を示す。図中、1はIGBT、2はゲート抵抗、3はターンオン・ターンオフ制御用スイッチング回路、4はターンオン用電源（電圧+Vcc）、5はターンオフ用電源（電圧-Vee）である。ターンオン・ターンオフ制御用スイッチング回路3は、例えばトランジスタTR1、TR2を直列に接続し、その接続点にゲート抵抗2を、ベースに+Vcc接続ドライバDR1、-Vee接続ドライバDR2をそれぞれ接続した構成としている。6はターンオフ初期専用回路で、Gnd接続ドライバDR3と、この出力でオン、オフするトランジスタTR3により構成し、トランジスタTR3のコレクタをゲート抵抗2、エミッタをターンオン用電源4とターンオフ用電源5の接続点（Gnd点）にそれぞれ接続している。

【0020】ターンオフ初期専用回路6は、ドライバ出力の電位がGndレベルより高い場合に電荷を引き抜く働きがある。また、Vcc接続ドライバDR1と-Vee接続ドライバDR2は、独立して駆動できるようにしている（通常のドライバでは、互いに反転動作するようになっている）。

【0021】次に、動作について述べる。ターンオン時にはターンオフ初期専用回路6は駆動せず、通常のゲートドライバと同じようにVcc接続ドライバDR1の部分で同じように駆動する。このため、ターンオン時の特性は通常のドライバと同等である。

【0022】ターンオフ時は、+Vcc接続ドライバDR1の部分をお断した後、ターンオフ初期専用回路6をオンにする。この状態では、図4に太線（矢印aを併記）で示すようにIGBT1のゲートはゲート抵抗2及びトランジスタTR3を通してGndレベルに接続される。通常のゲートドライバでは最初から-Vee電源に接続することになるため、この段階でのゲート電荷の引き抜き力は本実施形態の方が弱く、ゆっくりとスイッチングすることになる。これによって、サージ電圧は低減される。

【0023】ある程度ターンオフが進み、サージ電圧の発生要因が減少した段階で、図5に太線（矢印bを併記）で示すように-Vee接続ドライバDR2の部分をお断にする。同時に、ターンオフ初期専用回路6をお断にする。これにより、これ以後のスイッチング速度は通常のドライバと同等となる。

【0024】従って、ゲート抵抗2を同じ値とした場合は、本実施形態ではサージ電圧を低減できてもスイッチング速度はターンオフ初期専用回路6の動作期間の影響で遅くなるが、サージ電圧が最も生じるスイッチング直後のスイッチング速度を遅くできる分、ゲート抵抗2を小さめの値にすることができる。Vcc=Veeの場合、ゲート抵抗2は略半分の値にすることが可能であり、その場合はターンオフ初期専用回路6の動作による

## BEST AVAILABLE COPY

(4)

特開平10-75164

スイッチング時間の増加が、その後の $-V_{ee}$ 接続ドライバDR2の動作期間での低減によって十分に補われる。

【0025】

【発明の効果】以上のように本発明によれば、最もサージ電圧が高くなるターンオフ開始直後のゲート電荷減少速度を遅くし、逆流ダイオードなどがターンオンしてサージ電圧発生要因が減少してからゲート電荷減少速度を速くするゲート動作としたので、低スイッチング損失、低サージ電圧でのスイッチング動作が可能となる。また、ドライバ構成は少々複雑になっても、適切なドライバ構成の採用によりスナバ回路の大隅な削減、ひいてはスナパレス化が可能であり、装置全体としては大いに有利となる。

【図面の簡単な説明】

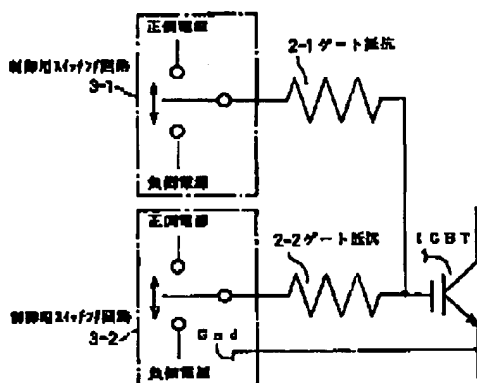
【図1】本発明の一実施形態を示す回路構成図。

【図2】一実施形態における一方のゲート信号供給回路のみをターンオフ動作させた時の動作説明図で、(a)は回路電圧状態を示す回路図、(b)はIGBT側から見た等価回路図。

【図3】本発明の他の実施形態を示す回路構成図。

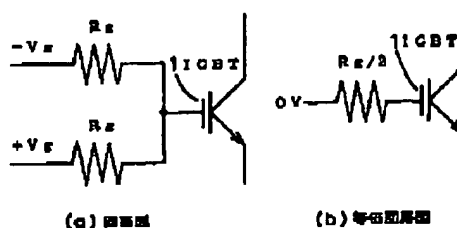
【図1】

一実施形態の回路構成



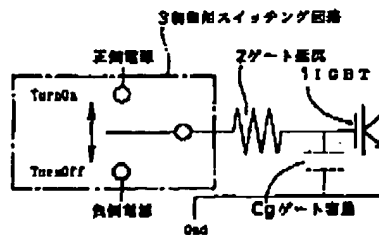
【図2】

一実施形態のターンオフ動作説明



【図6】

IGBTゲート周辺回路



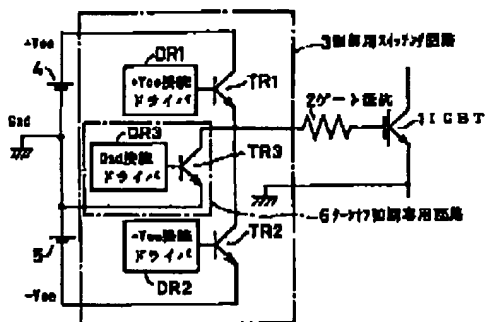
**BEST AVAILABLE COPY**

( 5 )

特開平10-75164

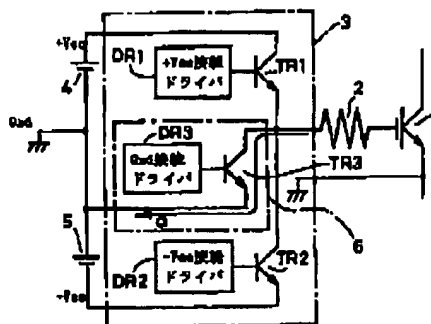
【图3】

### 他の実施形態の図解形式



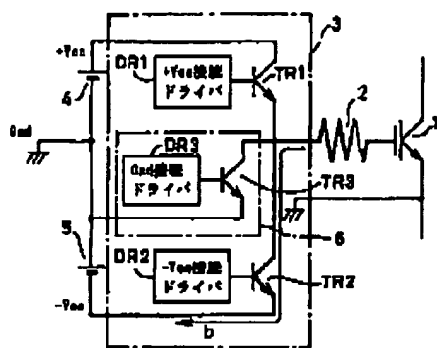
【圖4】

**島の高松邦軍の戦作軍明**  
(ターンオフ初型専用図説もあおソ)



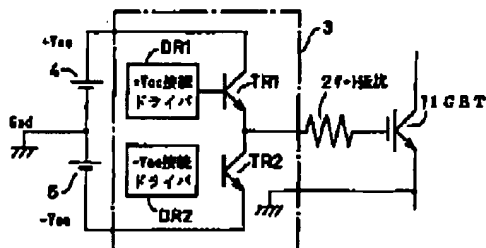
【例5】

佐の真流野郎の動作説明  
(-V。・連続ドライブをオンした場合)



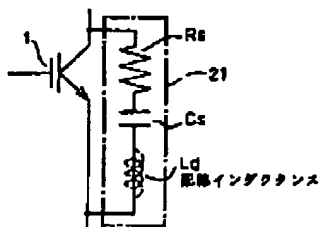
【图7】

### 従来のゲート区域図略



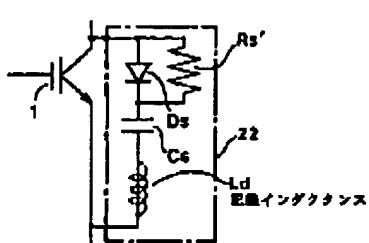
【例8】

### 代表的なスナバ園地の一列



【例9】

### 代造的なスナバ回路の例



(6)

特開平10-75164

フロントページの続き

(51)Int. Cl.<sup>6</sup>

// H02H 9/04

公開番号

序内整理番号

FI

H03K 17/56

技術表示箇所

Z

BEST AVAILABLE COPY